

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-100955
 (43)Date of publication of application : 07.04.2000

(51)Int.Cl.

H01L 21/82
 G06F 17/50
 H01L 21/60

(21)Application number : 10-269848

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 24.09.1998

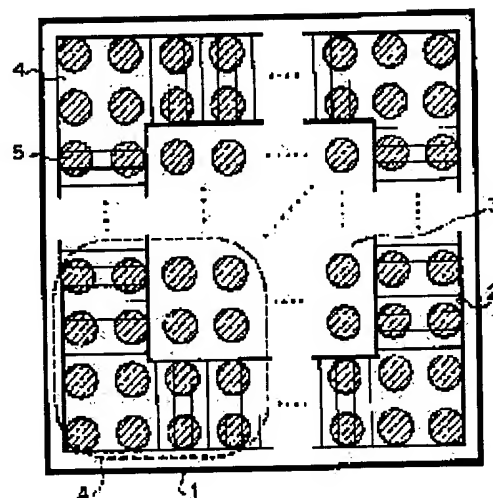
(72)Inventor : TAKAMORI KAZUO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS DESIGN METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To equalize relative layout structure by making the length of each I/O cell array being the target of common drawing out the same as the band pitch of a flip chip, and arranging pads on the intersecting points of the center lines of I/O cell arrays and for outside the intersecting points, by the number required for drawing out, on the pitches at equal intervals.

SOLUTION: A plurality of I/O cells 2 are arranged at the periphery of an LSI chip 1, and in the inner region 3 surrounded by the I/O cells, a block, which materializes a desired function, is constituted. A corner cell 4 which serves for power is arranged at each corner. Furthermore, pads 5 are arranged all over the LSI surface which materializes a flip chip, and these are connected electrically with the I/O cell or power or the like in the inner region 3. This way, the number of I/O cells is increased or decreased, according to the chip size, and it is put in the relatively same layout at the corner, whereby there is no necessity to prepare special layout for a flip chip, with many kinds of chip sizes provided by ASIC. Moreover, an art work can be used in common, and the design errors can be reduced.



LEGAL STATUS

[Date of request for examination]

24.09.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3119631

[Date of registration]

13.10.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-100955
(P2000-100955A)

(43) 公開日 平成12年4月7日 (2000.4.7)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 21/82		H 0 1 L 21/82	W 4 M 1 0 5
G 0 6 F 17/50		21/60	3 1 1 S 5 B 0 4 6
H 0 1 L 21/60	3 1 1	G 0 6 F 15/60	6 5 8 M 5 F 0 6 4
		H 0 1 L 21/82	C
		21/92	6 0 2 N
		審査請求 有 請求項の数 3 O L (全 9 頁)	

(21) 出願番号 特願平10-269848

(22) 出願日 平成10年9月24日 (1998.9.24)

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式
社
神奈川県川崎市中原区小杉町1丁目403番
53

(72) 発明者 高森 一雄

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

(74) 代理人 100065385

弁理士 山下 稔平

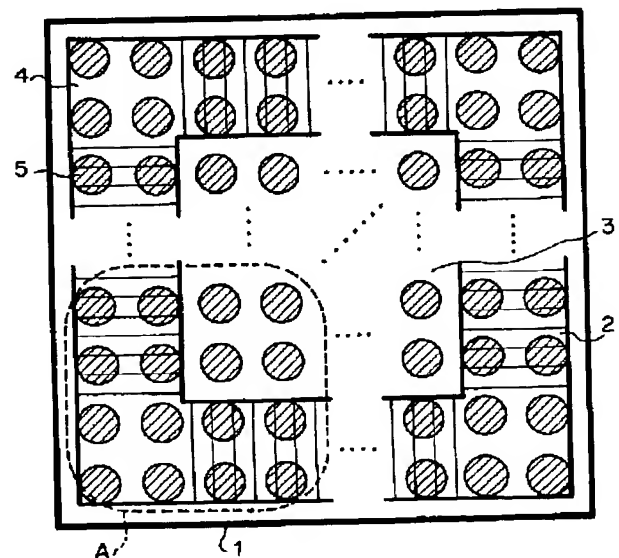
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置及びその設計方法

(57) 【要約】

【課題】 I/Oセル、及びパッドからI/Oセルへの引き出しパターンの関係から、様々な引き出しパターンを用意しなければならない。

【解決手段】 I/Oセルからパッドへの接続をI/Oセル複数個1組の共通引き出しパターンを用いて行い、LSIチップ上の各辺のI/Oセルアレイ数を、共通引き出しパターンで引き出されるI/Oセルの組の整数倍とした半導体集積回路装置において、共通引き出しパターンで引き出されるI/Oセルアレイの長さを、フリップチップ用パッドの配列ピッチと同一とし、共通引き出しパターンで引き出し対象となるI/Oセルアレイの中心線の交点、及びその交点の外側では引き出しに必要な数だけ、等間隔のピッチ上にパッドを配置し、共通引き出しパターンで引き出されるI/Oセルアレイの長さをフリップチップ用パッドの配列ピッチと同一とする。



【特許請求の範囲】

【請求項1】 I/Oセルからパッドへの接続をI/Oセル複数個1組の共通引き出しパターンを用いて行い、LSIチップ上の各辺のI/Oセルアレイ数を、前記共通引き出しパターンで引き出されるI/Oセルの組の整数倍とした半導体集積回路装置において、前記共通引き出しパターンで引き出されるI/Oセルアレイの長さが、フリップチップ用パッドの配列ピッチと同一であり、前記共通引き出しパターンで引き出し対象となるI/Oセルアレイの中心線の交点、及びその交点の外側では引き出しに必要な数だけ、等間隔のピッチ上にパッドが配置され、前記共通引き出しパターンで引き出されるI/Oセルアレイの長さがフリップチップ用パッドの配列ピッチと同一であることを特徴とする半導体集積回路装置。

【請求項2】 I/Oセルからパッドへの接続をI/Oセル複数個1組の共通引き出しパターンを用いて行い、LSIチップ上の各辺のI/Oセルアレイ数を、前記共通引き出しパターンで引き出されるI/Oセルの組の整数倍とした半導体集積回路装置の設計方法において、I/Oセルとパッドとチップサイズと共通引き出しパターンの情報を入力するステップと、引き出しパターンの適合性を調べる工程と、前記共通引き出しパターンと対応するI/Oセルを決定する工程と、前記共通引き出し対象のI/Oセルの中心線の交点座標を算出する工程と、交点座標を基に前記共通引き出しパターンとパッドをI/O部に配置する工程と、コーナー部と内部領域にパッドを配置する工程と、前記パッドを配置する工程の後に自動配置配線を行う工程と、を備えたことを特徴とする半導体集積回路装置の設計方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フリップチップと共にLSIの周辺部にパッドを配置した半導体集積回路装置、及びその設計方法に関する。

【0002】

【従来の技術】従来、1000ピン以上の多ピンのLSI実装を実現する方法として、フリップチップ実装方法がある。これは、主としてLSIの全面にパッドを設ける構造で実現しているが、特定用途向けIC（以下、「ASIC」と記す）では、フリップチップと共にLSIの周辺部にパッドを配置する一般的な実装方法が多く使われる。

【0003】従って、ASICでは、この両者を実現出来る共通の基盤レイアウトがあれば、設計も容易となり、ミスも低減できる。

【0004】ASICでは、1シリーズで、例えば4、

8mm×4、8mm～17.3mm×17.3mmの0.5mmステップで26種類といった多数の種類のチップサイズを用意している。従ってその種類の数だけ、異なる基盤データを用意しなければならず、従来のチップ最外周にパッドが存在するレイアウトとフリップチップのレイアウトを共通にするため、例えばI/Oからパッドへの引き出しパターンを複数用意したり、フリップチップのレイアウトを個別に用意しなければならない、といった問題点があった。

【0005】またその引き出しパターンを配置する際、各チップサイズで複雑な座標計算をしなければならなかった。

【0006】このため、自動配置配線までの設計のためのデータを多く用意しなければならなかった。その理由として、引き出しパターンは、I/Oセルの高さを最適化した場合、フリップチップでは通常I/Oセル上だけではなく、内部領域に配置されたパッドも使用して引き出し信号端子数を確保していたことが挙げられる。

【0007】この時、フリップチップ用のパッドからI/Oへの配線接続を行うが、フリップチップでは、LSI全面に存在するパッドと接続するのに5層、6層といった多層配線を用いないと接続が出来ないこと、及び高駆動バッファ等で接続部分の配線抵抗を極力押さえる必要があること、等の理由から、自動配線で接続せず、固定のパターンで引き出している。

【0008】この引き出しパターンを配置する場合、複数個のI/Oセルに対応したパターンを通常用意するが、ASICで用意しているチップサイズでは、引き出されるI/O数やパッドピッチとの関係で、様々な場合に対応した引き出しパターンを用意する必要があった。

【0009】あるいは、フリップチップを実現するため、引き出しを予め考慮したり、コーナー部を専用に作り替えたレイアウトを新たに設計していた。

【0010】この場合には、引き出しパターンやパッドの配置座標計算を数多く行う必要があり、自動配置配線までの設計も、引き出しパターン、パッド配置まで時間がかかり、容易ではなかった。

【0011】従来のLSIにおいて、LSI周辺にパッド配置するレイアウトで、同一の拡散マスクを用い、配線工程のみ変えてフリップチップを実現する場合のレイアウト方法を図10に示す。

【0012】図10に示す通り、従来のレイアウト方法は、I/Oセル数と引き出しパターンの関係から、全てのチップサイズの適合するような引き出しパターンを用意するステップC1と、I/Oセル、パッド、引き出しパターンの情報を入力するステップC2と、その情報から、場合に応じた最適引き出しパターンを選択するステップC3と、引き出しパターンをI/O部に配置するステップC4と、コーナー部、内部領域にパッドを配置するステップC5を有し、その後、自動配置配線のステッ

ブC6を行う。

【0013】

【発明が解決しようとする課題】この様に、従来のレイアウト方法では、ASICの一つのシリーズにおいて、従来のLSI周辺にパッドを配置したレイアウトでの配線工程のみ変えてフリップチップのレイアウトを実現する場合、I/Oセル数と引き出しパターンとの関係を調べ、ASICの1シリーズで用意される全てのチップサイズに適合した引き出しパターンを多くの種類用意して、それらの中で最適な引き出しパターンを計算して求められた最適な位置に配置していた。

【0014】このため、I/Oセル、及びパッドからI/Oセルへの引き出しパターンとの関係から、様々な引き出しパターンを用意しなければならなかった。

【0015】

【課題を解決するための手段】本発明は、ASICにおいて従来からのLSI周辺にパッド配置するレイアウトで、同一の拡散マスクを用い、配線マスクのみ変えて容易にフリップチップを実現する以下のレイアウト構造とレイアウト方法を提供する。

【0016】本発明は、I/O（入出力）セルからパッドへの引き出しパターンを、I/Oセル整数個1組での共通引き出しパターンとし、LSIの上下左右各辺でのI/Oセルアレイ数はその共通引き出し対象I/Oセル数の整数倍とする。このI/Oセルアレイの長さをフリップチップのパッドピッチと同一にする。

【0017】そして、この共通引き出しパターンで引き出し対象となる各I/Oセルアレイの中心線上にパッドが配置される構造とする。すなわちこの中心線の交点、及びその交点を含んだ等間隔のピッチ上にパッドが配置される。

【0018】次に上記の構造を実現するレイアウト方法として、I/Oセルとパッドとチップサイズと共通引き出しパターンの情報を入力するステップと、引き出しパターンの適合性を調べるステップと、共通引き出しパターンと対応するI/Oセルを決定するステップと、共通引き出し対象のI/Oセルの中心線の交点座標を算出するステップと、交点座標を基に共通引き出しパターンとパッドをI/O部に配置するステップと、コーナー部と内部領域にパッドを配置するステップを行ってから、自動配置配線のステップを行う。

【0019】これらにより、ASICの一つのシリーズで供給される各チップサイズで容易にフリップチップのレイアウトをLSI外周部にパッドを配列した従来のレイアウトと共通の拡散マスクで実現している。

【0020】

【発明の実施の形態】本発明の第1の実施の形態を図1にしたがって説明する。

【0021】図1は、本発明のLSIの概略平面図であり、LSIチップ1の周辺部に複数個のI/Oセル2が

配列され、このI/Oセル2で囲まれたLSIの内部領域3では、所望の機能を実現する機能ブロックが構成され、各コーナー部には、例えば電源用となるコーナーセル4が配置される。

【0022】さらにフリップチップを実現するため、LSIの全面にパッド5が配置され、例えばI/Oセルや内部領域の電源などと電気的に接続されている。

【0023】図2は、図1に破線で囲んだA部の拡大図であり、LSIチップ1にI/Oセル2が複数個配列され、コーナー部にはコーナー用のコーナーセル4が配置され、フリップチップ用のパッド5が配置されている。

【0024】パッドピッチは、例えば $240\mu\text{m}$ で配置され、I/Oセルは $80\mu\text{m}$ ピッチで3セルアレイされており、共通引き出し対象のI/OセルアレイのピッチはX1、X2、Y1、Y2とも $240\mu\text{m}$ となり、パッドピッチと同じ値とする。LSIチップの上下辺と左右辺で同一の共通引き出しパターンを用いてフリップチップ用のパッドとI/Oセルを電気的に接続している。

【0025】このとき、コーナーセル4の部分のパッドは例えば電源用とする。

【0026】さらにLSIチップにおける各辺のI/Oセル数は、このI/Oセルの引き出しパターンの構成される組の整数倍とする。例えば、3セルで共通引き出しパターンを構成した場合、3の整数倍とする。

【0027】フリップチップ用のパッドはこのI/Oセルの共通引き出しパターンで引き出し対象となるI/Oセルアレイの中心線上にパッドが配置される構造となっており、この中心線の交点及びその交点を含んだ等間隔のピッチ上にパッドが配置される。

【0028】図3は、図2のB部の拡大図であり、本例ではI/Oセルからパッドまでの共通引き出しパターンを、I/Oセル3セルの1組で構成した例であり、この場合のI/Oセルは、例えば $80\mu\text{m}$ ピッチで3セルアレイされており、パッドピッチは $240\mu\text{m}$ として配置されている。

【0029】I/Oセル12が3セル配列され、I/Oセルの端子部11とフリップチップ用のパッド15は接続配線14で、電気的に接続している。

【0030】ここで、LSIチップC1のチップサイズを $7.7\text{mm}\times 7.7\text{mm}$ とし、I/O数は各辺28個 $\times 3=84$ 個とすると、その長さは $80\mu\text{m}\times 84=6720\mu\text{m}$ となり、この時、図2におけるX3、Y3の値は $7700\mu\text{m}-6720\mu\text{m}=980\mu\text{m}$ となる。

【0031】LSIチップC2のチップサイズが $12.5\text{mm}\times 12.5\text{mm}$ の時、I/O数を各辺48個 $\times 3=144$ 個とすると、その長さは $80\mu\text{m}\times 144=11520\mu\text{m}$ となり、X3、Y3の値は、 $12500\mu\text{m}-11520\mu\text{m}=980\mu\text{m}$ となり、LSIチップC1と同一の値となり、両チップは相対的に同一のレイアウトとなる。

【0032】この様に、チップサイズに応じてI/Oセル数を増減し、コーナー部では相対的に同一のレイアウトとすることで、ASICにおいて提供される多種のチップサイズで、フリップチップ用に特別なレイアウトを用意する必要がなく、アートワークを共通に使用出来、設計ミスも低減可能である。

【0033】本発明では、ASICの一つのシリーズで提供される全てのチップサイズにおいて、I/Oセルからフリップチップのパッドへの引き出しが、共通パターンで可能となる。

【0034】図4は、図2におけるI/Oセルとパッドの関係を示す概略平面図で、共通引き出し対象となるI/Oセル3セルの1組がC部とD部であり、このC部とD部におけるI/Oセルアレイの中心線21及び22の交点23上にパッドが配置される。ここで、I/Oセル4はコーナーセルである。

【0035】次に、本発明の半導体集積回路のレイアウト方法として、第1の実施の形態の構造の半導体集積回路に対して図5に示す自動配置配線までのパッド及びパッド引き出しパターン配置方法を説明する。

【0036】図5に示す通り、このレイアウト方法は、I/Oセル、パッド、チップサイズ、共通引き出しパターンの情報を入力するステップA1と、引き出しパターンの適合性を調べるステップA2と、このステップA2が真である時、共通引き出しパターンと対応するI/Oセルを決定するステップA3と、共通引き出し対象のI/Oセルの中心線の交点座標を算出するステップA4と、交点座標を基に、共通引き出しパターン及びパッドをI/O部に配置するステップA5と、コーナー部、内部領域にパッドを配置するステップA6とを備え、その後、自動配置配線のステップA7を行う。またA2のステップで偽の場合に、共通引き出しパターンを追加作成するステップA8を行い、A1のステップを繰り返す。このレイアウト方法は、後に詳しく説明する。

【0037】従来、ASICの一つのシリーズで、多数の種類のチップサイズのレイアウトデータが用意されていたが、本発明の方法により、I/Oセルからパッドへ共通引き出しパターンを用いて接続することが可能となり、共通引き出し対象のI/Oセルの中心線の交点座標を基にすることで、容易にフリップチップ用のパッド及びパッド引き出しパターンが配置可能となる。

【0038】次に、第1の実施の形態の動作について説明する。

【0039】図1に示すLSIチップにおいて、I/Oセルからパッドへの接続をI/Oセル複数個1組（本例では3個1組）の共通引き出しパターンを用いている。この時、LSIチップ上の各辺のI/Oセルアレイ数は、前記共通引き出しパターンで引き出されるI/Oセルの組の整数倍とする。図2のX1で示される様に、この前記共通引き出しパターンで引き出されるI/Oセル

アレイの長さを、フリップチップ用パッドの配列ピッチと同一にする。

【0040】この共通引き出しパターンで引き出し対象となるI/Oセルアレイの中心線の交点、及びその交点の外側では引き出しに必要な数だけ、等間隔のピッチ上にパッドが配置される構造とし、この共通引き出しパターンで引き出されるI/Oセルアレイの長さを、フリップチップ用パッドの配列ピッチと同一にする。

【0041】これにより、従来のASICの1シリーズで、多数の種類のチップサイズを用意していたフリップチップ用のパッドからI/Oセルへの引き出しパターンが1種類で済み、チップサイズが変わっても、この共通引き出し対象のI/Oセル数単位で、例えば3セル単位で増加するだけであるので、I/Oセル数が変わっても、コーナー部は同一のコーナーセルを用いることが出来、相対的なレイアウト構造は同一とすることが出来る。

【0042】これにより、従来のASICで用意していた、LSI最外周部にパッドが配列されている構造と同一の拡散工程のレイアウトで、配線マスクを変更するだけでフリップチップも実現できる。

【0043】このレイアウトは、チップサイズの異なる場合でも、I/Oセル数が共通引き出しの対象となるI/Oセル数の組を単位に増減するために、相対的に同一のレイアウトとなり、同一の共通引き出しパターンを用いることが出来るため、容易に実現できる。

【0044】さらに、このフリップチップ用パッド及び共通引き出しパターンの配置座標は、パッドからI/Oセルの共通引き出しパターンでの引き出し対象I/Oセルの中心線上の交点にパッドを配置することで、容易にパッド配置座標とI/Oセル配置座標を決める事が出来、そのパッド配置座標を基にして、共パッドからI/Oセルへの共通引き出しパターンを容易に配置する事が出来る。

【0045】上記構造のLSIを実現するレイアウト方法が図5に示されている。

【0046】本レイアウト方法は、I/Oセル、パッド、チップサイズ、共通引き出しパターンの情報を入力するステップA1と、引き出しパターンの適合性を調べるステップA2と、このステップA2が真（YES）である時、共通引き出しパターンと対応するI/Oセルを決定するステップA3と共通引き出し対象のI/Oセルアレイの中心線の交点座標を算出するステップA4と、交点座標を基に、共通引き出しパターン、パッドをI/O部に配置するステップA5と、コーナー部、内部領域にパッドを配置するステップA6を有し、その後自動配置配線のステップA7を行い、またA2のステップで偽（NO）の場合に共通引き出しパターンを追加作成するステップA8を行いA1のステップを繰り返している。

【0047】ここでは、ステップA1で、I/Oセルの

サイズ、パッドのサイズ、配列ピッチ、配列数、チップサイズ、パッドからI/Oセルへの共通引き出しパターン
の引き出し対象となるI/Oセル数、引き出しパター
ンの形状、パッドとI/Oセルの位置関係等の情報を入
力し、ステップA2で、この共通引き出しパターンを用
いてI/Oセルからのパッドへの引き出しがすべて可能
かどうかという適合性を調べ、この適合性が真の場合、
ステップA3でこの共通引き出しパターンとそれに対応
する共通引き出し対象となるI/Oセルを決定する。

【0048】ステップA4で、この共通引き出し対象と
なるI/Oセルアレイの中心線をまず算出するが、これ
は例えばI/Oセル3セル単位で共通引き出しの対象と
なる場合、I/Oセル3セルのアレイの中心線を算出す
ることで、I/Oセルが80 μ mピッチでアレイする場合
3セル分の半分の120 μ mの位置で中心線を算出す
ことであり、これらの中心線を各引き出し対象のI/
Oセルアレイについて求め、それらの中心線の交点の座
標を算出する。

【0049】ステップA5でこの中心線の交点座標を基
に、予めステップA1で入力している共通引き出しパタ
ーン、パッドの配置位置情報に従い、共通引き出しパタ
ーン、フリップチップ用のパッドをI/O部に配置す
る。ここで例えば、ある一定の条件を満たす交点座標に
共通引き出しパターンを配置する構成となっていれば、
容易に共通引き出しパターンやパッドが配置出来る。

【0050】ステップA6でI/Oセルから引き出され
た、引き出し対象のパッド以外のコーナー部や内部領域
に、ステップA1で入力しているパッドピッチやパッド
配列数の情報を基に、パッドを配置する。

【0051】その後、自動配置配線を実行する。また、
ステップA2で適合性が偽の場合は、共通引き出しパタ
ーンを適合するように追加作成するステップA8を行
い、A1のステップを繰り返すこととなる。

【0052】本発明では、共通引き出し対象のI/Oセ
ルアレイの中心線の交点座標を算出し、その座標を基に
してまず交点座標にパッドを配置し、そのパッド位置に
適応したI/Oセルから引き出される共通引き出しパタ
ーンを配置している。

【0053】この共通引き出しパターンは、パッド位置
とI/Oセルの位置関係により、あるパッド位置に対し
て1種類の引き出しパターンを用意する。これによりパ
ッド位置に適応した共通引き出しパターンはパッド位置
とI/Oセル位置が決まればそれに合う共通引き出しパ
ターンを1種類用意するだけで済み、フリップチップの
レイアウトも容易に実現できる。

【0054】従来のLSIでは、I/O部周辺にパッド
を配置したレイアウトが一般的であり、特にASICで
フリップチップを実現する場合には、これらに共通の基
盤レイアウトを用いてI/Oセルからパッドへの引き出
しパターンをフリップチップ用に配置したり、うまく引

き出せない場合にはフリップチップ専用のレイアウトを
別に設計していた。

【0055】例えば、I/Oセル3セル1組で引き出し
パターンを設計する場合、下に示す様に、LSIのI/
Oセル数に応じて、次の3通りの構造が考えられる。

【0056】一つめは、図7に示すように、本発明と同
じくLSIチップの各辺のI/Oセル数が、引き出しパ
ターンでパッドよりI/Oセルに引き出される際の、引
き出し対象I/Oセル数の整数倍の場合。

【0057】図7はこの場合の概略を示す平面図で、簡
略化のため、I/Oセル数は各辺で6セルとしている。

【0058】図7において、LSIチップを31、I/
Oセルを32、コーナーセルを34、フリップチップ用
のパッドを35で示す。M1で示される領域に着目する
と、I/OセルN1、N2、N3は、それぞれパッドP
1、P2、P3と配線により電気的に接続しているもの
とする。

【0059】二つめは、図8に示すように、上記と同様
に引き出し対象I/Oセル数の整数倍より1個多い場
合。

【0060】図8はこの場合の概略を示す平面図で、簡
略化のため、I/Oセル数は各辺で7セルとしている。

【0061】図8において、LSIチップを41、I/
Oセルを42、コーナーセルを44、フリップチップ用
のパッドを45で示し、M2で示される領域に着目する
と、I/OセルN4、N5、N6はそれぞれパッドP
4、P5、P6と配線により電気的に接続しているもの
とする。

【0062】三つめは、図9に示すように、上記と同様
に引き出し対象のI/Oセル数の整数倍より2個多い場
合。

【0063】図9はこの場合の概略を示す平面図で、簡
略化のため、I/Oセル数は各辺で8セルとしている。

【0064】図9において、LSIチップを51、I/
Oセルを52、コーナーセルを54、フリップチップ用
のパッドを55で示し、M3で示される領域に着目する
と、I/OセルN7、N8、N9はそれぞれパッドP
7、P8、P9と配線により電気的に接続しているもの
とする。

【0065】これらの3通りの場合を比べると解る様
に、フリップチップ用のパッドは、中心に対して点対称
で配置されるのが一般的であり、共通パターンでパッド
からI/Oセルへの引き出し対象となるI/Oセル数
と、各辺に配置されているI/Oセル数との関係によ
り、I/Oセル上のパッドの相対位置が変わり、これは
パッドからI/Oセルへの引き出すための共通パターン
をそれぞれの場合で異なることを意味しており、必要に
応じて多くの種類のこの引き出しパターンを用意して配
置していた。

【0066】例えばLSIのチップサイズが4.82m

m×4.82mm~17.3mm×17.3mmの0.5mmステップで26種のマスターが存在する場合、従来のレイアウト構造では、例えばI/Oセル6個で1組の引き出しパターンを基本にすると、6種類の引き出しパターンを用意しさらに26通りのパッド、引き出しパターンの配置組合せを計算し、場合によってはさらに調整のため例えばコーナーセルを追加する必要があった。

【0067】このように従来は、引き出しパターンを複数用意したり、引き出しの整合性をとるのが難しい場合、コーナー部で特別なパターンを作成し調整していたりしていたが、本発明の構造のLSIでは、本発明の方法により、特に共通引き出し対象のI/Oセルの中心線の交点座標を検出することにより、パッドの配置座標を決定するので、I/OからPADへの共通引き出しパターンを容易に配置でき、またI/Oセルアレイの上下辺、左右辺で同一のパターンを用いることが出来るため、特に多数のチップサイズを供給するASICにおいて、容易にフリップチップのレイアウトを自動で実現できる。

【0068】次に、本発明第2の実施の形態を説明する。

【0069】図2に示すLSIの構造で、I/Oセル3パッドへの引き出しパターンを、一定個数のI/Oセルで1組ないし2組の共通引き出しパターンとする構造。例えば7セルで二組引き出しパターンを構成する。

【0070】同じく、共通引き出しパターンで引き出し対象となる各I/Oセルアレイの中の一定位置の線上にパッドが配置される構造。例えば中心線ではなく、6対4に位置の線上にパッドが配置される等が考えられる。

【0071】図6に、本発明の構造のLSIにおける他のレイアウト方法を示す。

【0072】このレイアウト方法は、I/Oセル、パッド、チップサイズ、共通引き出しパターンの情報を入力するステップB1と、フリップチップ用パッドのピッチと配列数からパッド配置位置を決定するステップB2と、引き出しパターンの適合性を調べるステップB3と、このステップB3が真(YES)の場合、パッド座標情報から、パッド中心を結ぶ線を算出するステップB4と、共通引き出し対象のI/Oセルの中心線を、パッド座標中心線と一致させるステップB5と、その一致した中心線座標を基に、I/Oセルを配置するステップB6を行い、その後自動配置配線のステップB7を行い、ステップB3で偽(NO)の場合共通引き出しパターンを追加作成するステップB8を行いステップB1を行っている。

【0073】この場合、フリップチップ用のパッド位置をLSI中心に対し点対称となるようにまず決め、そのパッド情報と、I/Oセルからパッドへの引き出しパターンの情報から、I/Oセルの配置位置を引き出し対象のI/Oセルアレイの中心線の情報を基にI/Oセルを

配置する。

【0074】ここでは、ステップB1で、I/Oセルのサイズ、パッドのサイズ、配列ピッチ、配列数、チップサイズ、パッドからI/Oセルへの共通引き出しパターンの引き出し対象となるI/Oセル数、引き出しパターンの形状、パッドとI/Oセルの位置関係等の情報を入力し、ステップB2で、フリップチップ用のパッドの配列ピッチ、配列数を基にLSIチップの中心に対し点対称となる様にフリップチップ用のパッドを配置し、ステップB3で、共通引き出しパターンを用いてI/Oセルからのパッドへの引き出しがすべて可能かどうかという適合性を調べ、この適合性が真の場合、ステップB4でパッド座標の情報からパッド中心同士を格子状に結ぶ線分を算出する。

【0075】ステップB5で、このパッド中心同士を格子状に結ぶ線分と、パッドからI/Oセルへの共通引き出し対象となるI/Oセルアレイの中心線を一致させるための座標計算を行い、ステップB6でこれらのパッド中心同士を格子状に結ぶ線分と共通引き出し対象となるI/Oセルアレイの中心線を一致させるように、I/Oセル及び共通引き出しパターンの配置座標を算出する。

【0076】このとき、共通引き出し対象のI/Oセルアレイの中心線がパッドの中心線を結ぶ格子状の線分と一致する様にI/Oセルを配置し、さらに共通引き出しパターンも、その配置されたI/Oセル位置と前記中心線及び格子状線分を基に配置するため、容易に配置できる。

【0077】そしてその後、自動配置配線を実行する。またステップB3で適合性が偽の場合は、共通引き出しパターンを適合するように追加作成するステップB8を行い、B1のステップを繰り返すこととなる。

【0078】

【発明の効果】以上に説明したように、従来のASICの1シリーズで、多数の種類のチップサイズを用意していたフリップチップ用のパッドからI/Oセルへの引き出しパターンが1種類で済み、チップサイズが変わっても、この共通引き出し対象のI/Oセル数単位で、例えば3セル単位で増加するだけであるので、I/Oセル数が変わっても、コーナー部は同一のコーナーセルを用いることが出来、相対的なレイアウト構造は同一とすることが出来る。

【0079】これにより、従来のASICで用意していた、LSI最外周部にパッドが配列されている構造と同一の拡散工程のレイアウトで、配線マスクを変更するだけでフリップチップも実現できる。

【0080】さらに本発明では、引き出しパターンを複数用意したり、引き出しの整合性をとるのが難しい場合、コーナー部で特別なパターンを作成し調整していた従来の技術とは異なり、特に共通引き出し対象のI/Oセルの中心線の交点座標を検出することにより、パッド

の配置座標を決定するので、I/OからPADへの共通引き出しパターンを容易に配置でき、またI/Oセルレイの上下辺、左右辺で同一のパターンを用いることが出来るため、特に多数のチップサイズを供給するASICにおいて、容易にフリップチップのレイアウトを自動で実現できる。

【図面の簡単な説明】

【図1】本発明の半導体集積回路装置を示す概略平面図。

【図2】図1に破線で囲んだA部の拡大平面図。

【図3】図2のB部の拡大平面図。

【図4】図2におけるI/Oセルとパッドの関係を示す概略平面図。

【図5】本発明の半導体集積回路のレイアウト方法の工程を示すフロー図。

【図6】本発明の半導体集積回路のレイアウト方法の他の工程を示すフロー図。

【図7】LSIチップの各辺のI/Oセル数が引き出し

対象I/Oセル数の整数倍の場合の概略を示す平面図。

【図8】引き出し対象I/Oセル数の整数倍より1個多い場合の図7と同様の平面図。

【図9】引き出し対象I/Oセル数の整数倍より2個多い場合の図7と同様の平面図。

【図10】従来のLSIにおいて、フリップチップを実現する場合のレイアウト方法の工程を示すフロー図。

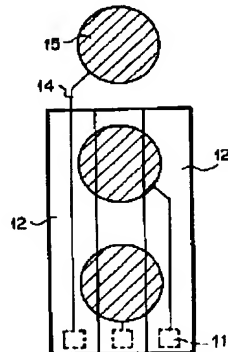
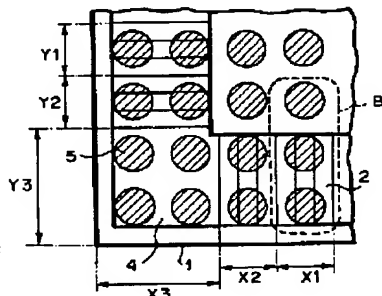
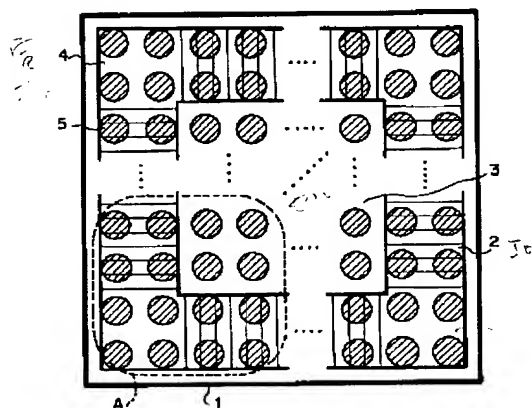
【符号の説明】

- 1 LSIチップ
- 2 I/Oセル
- 3 内部領域
- 4 コーナーセル
- 5 パッド
- 11 端子部
- 12 I/Oセル
- 14 接続配線
- 15 パッド

【図1】

【図2】

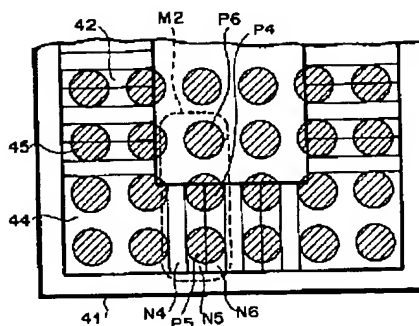
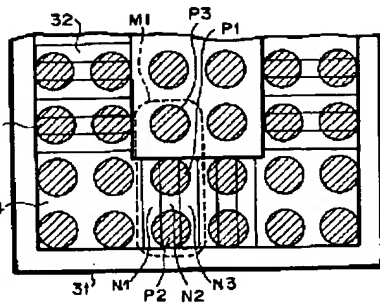
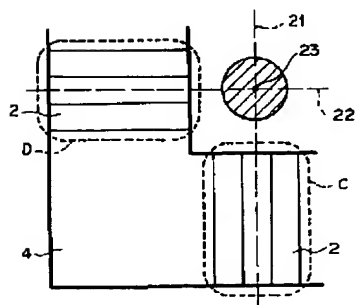
【図3】



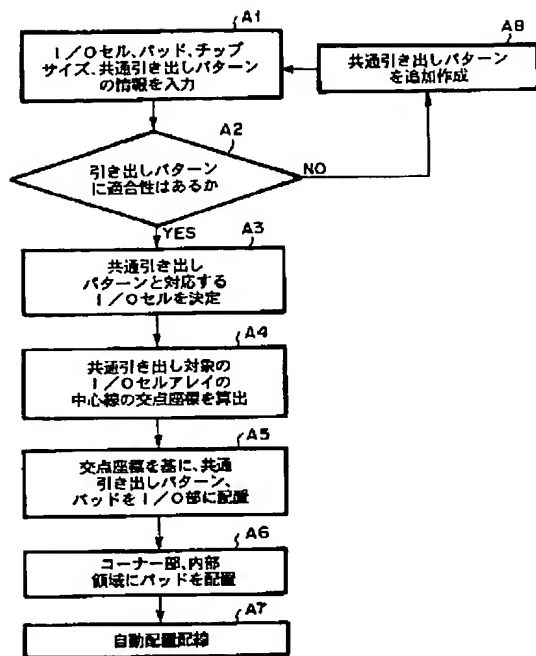
【図4】

【図7】

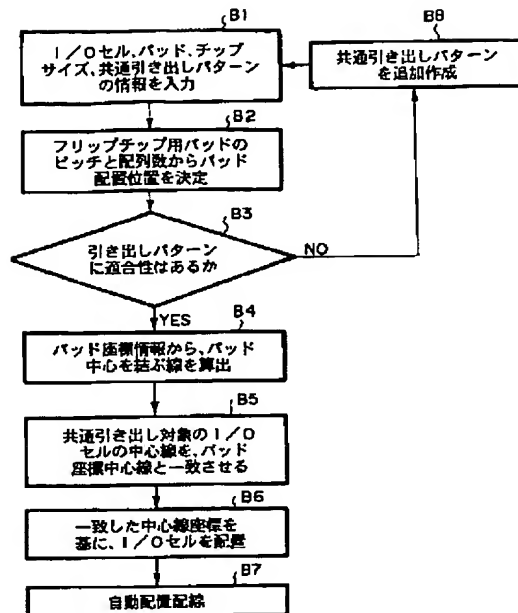
【図8】



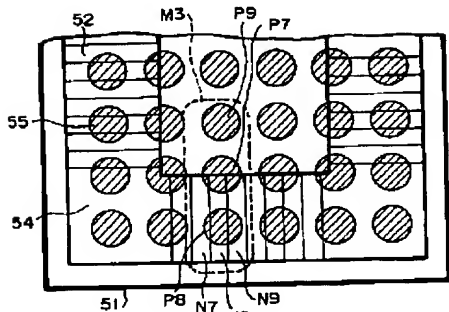
【図 5】



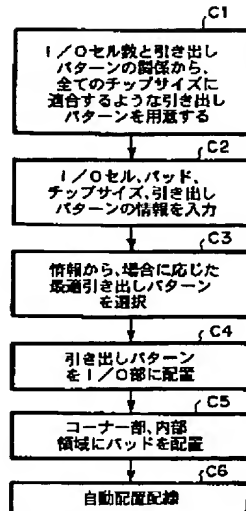
【図 6】



【図 9】



【図 10】



【手続補正書】

【提出日】平成11年8月23日（1999. 8. 23）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 I/Oセルからパッドへの接続をI/Oセル複数個1組の共通引出しパターンを用い、LSIチップ上の各辺のI/Oセルアレイ数を、前記共通引出しパターンで引き出される1組のI/Oセル数の整数倍とし、半導体集積回路装置において、前記共通引出しパターンで引き出されるI/Oセルアレイの長さが、

フリップチップ用パッドの配列ピッチと同一であり、前記共通引き出しパターンで引き出し対象となる I/O セルアレイの中心線の交点、及びその交点の外側では引き出しに必要な数だけ、等間隔のピッチ上にパッドが配置されることを特徴とする半導体集積回路装置。

【請求項 2】 I/Oセルからパッドへの接続を I/Oセル複数個 1 組の共通引き出しパターンを用い、LSI チップ上の各辺の I/Oセルアレイ数を、前記共通引き出しパターンで引き出される 1 組の I/Oセル数の整数倍とした半導体集積回路装置の設計方法において、
I/Oセルとパッドとチップサイズと共通引き出しパターンの情報を入力する工程と、
引き出しパターンの適合性を調べる工程と、
前記共通引き出しパターンと対応する I/Oセルを決定する工程と、
前記共通引き出し対象の I/Oセルの中心線の交点座標を算出する工程と、
交点座標を基に前記共通引き出しパターンとパッドを I/O部に配置する工程と、
コーナー部と内部領域にパッドを配置する工程と、

前記パッドを配置する工程の後に自動配置配線を行う工程と、を備えたことを特徴とする半導体集積回路装置の設計方法。

【請求項 3】 I/Oセルからパッドへの接続を I/Oセル複数個 1 組の共通引き出しパターンを用い、LSI チップ上の各辺の I/Oセルアレイ数を、前記共通引き出しパターンで引き出される 1 組の I/Oセル数の整数倍とした半導体集積回路装置の設計方法において、
I/Oセルとパッドとチップサイズと共通引き出しパターンの情報を入力する工程と、
フリップチップ用パッドのピッチと配列数からパッド配置位置を決定する工程と、
引き出しパターンの適合性を調べる工程と、
前記工程での適合性がある場合、パッド座標情報からパッド中心を結ぶ線を算出する工程と、
前記共通引き出しパターンと対応する I/Oセルの中心線を、パッド座標中心線と一致させる工程と、
その一致した中心線座標を基に、I/Oセルを配置する工程と、を備えたことを特徴とする半導体集積回路装置の設計方法。

フロントページの続き

Fターム(参考) 4M105 AA09 AA12 FF01
5B046 AA08 BA06
5F064 AA03 AA04 DD02 DD14 DD18
DD32 DD42 DD43 EE17 EE18
EE53 HH06